

N an 892.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-211367

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 0 2 F 1/133

5 7 5

G 0 9 G 3/36

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平7-289546

(22) 出願日 平成7年(1995)11月8日

(31) 優先権主張番号 特願平6-277351

(32) 優先日 平6(1994)11月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 栗原 博司

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 三島 康之

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

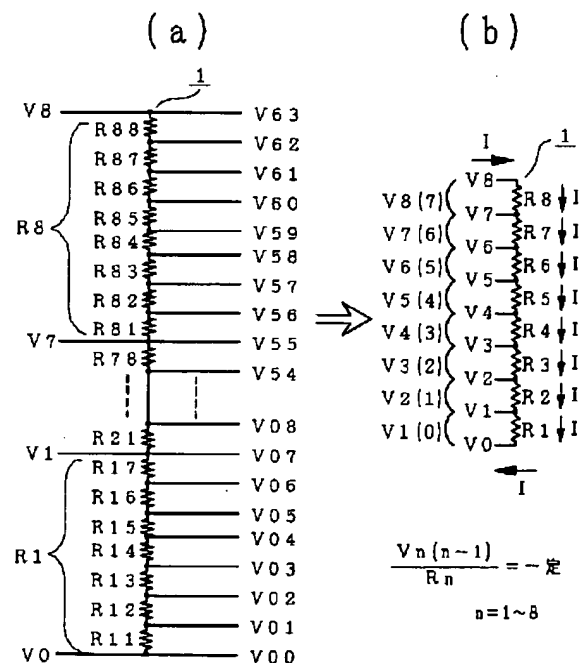
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 低消費電力と高画質表示を可能とする液晶表示装置の階調電圧生成回路を提供すること。

【解決手段】 複数の階調基準電圧の各階調基準電圧間を直列抵抗分圧回路により分圧して液晶層に印加する多階調の階調電圧を生成する液晶表示装置であって、前記直列抵抗分圧回路の各階調基準電圧を印加する端子間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値とする。

図 1



1

【特許請求の範囲】

【請求項1】 薄膜トランジスタと該薄膜トランジスタのソースに電氣的に接続された画素電極とを有する画素が複数配置された液晶表示パネルと、上記薄膜トランジスタのドレインに、複数の電位の階調電圧から選択した、電圧を出力するドレインドライバと、上記ドレインドライバに複数の電位の階調基準電圧を出力する電源回路と、上記薄膜トランジスタのゲートに、上記画素を選択する、電圧を出力するゲートドライバとを有する液晶表示装置であって、

上記ドレインドライバは階調電圧生成回路を有し、上記階調電圧生成回路は、上記複数の階調基準電圧の電位間を、抵抗を直列に接続した分圧回路により複数の電位に分圧し、上記複数の電位の階調電圧を生成し、上記分圧回路の各階調基準電圧の電位間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値に設定したことを特徴とする液晶表示装置。

【請求項2】 上記分圧回路の各階調基準電圧の電位間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値に変更するための切替手段を具備することを特徴とする請求項1に記載された液晶表示装置。

【請求項3】 上記分圧回路の各階調基準電圧の電位間に複数の直列抵抗回路を設け、前記複数の直列抵抗回路の中から、各階調基準電圧間の電位差にほぼ比例した抵抗値となる直列抵抗回路を選択するための選択手段を具備することを特徴とする請求項1に記載された液晶表示装置。

【請求項4】 薄膜トランジスタと該薄膜トランジスタのソースに電氣的に接続された画素電極とを有する画素が複数配置された液晶表示パネルと、上記薄膜トランジスタのドレインに、複数の電位の階調電圧から選択した、電圧を出力するドレインドライバと、上記ドレインドライバに複数の電位の階調基準電圧を出力する電源回路と、上記薄膜トランジスタのゲートに、上記画素を選択する、電圧を出力するゲートドライバとを有する液晶表示装置であって、
上記ドレインドライバは階調電圧生成回路を有し、上記階調電圧生成回路は、上記複数の階調基準電圧の電位間を、抵抗を直列に接続した分圧回路により複数の電位に分圧し、上記複数の電位の階調電圧を生成し、
上記一つの階調基準電圧 V_n と他の階調基準電圧 V_{n-1} との電位差を $V_n(n-1)$ とし、上記階調基準電圧 V_n と V_{n-1} の上記分圧回路の印加端子間の合成抵抗値を R_n とすると、全ての R_n に対して $V_n(n-1)/R_n$ の値が特定の変動の範囲内で一致するように上記分圧回路の各抵抗の値を設定したことを特徴とする液晶表示装置。

【請求項5】 上記全ての R_n に対して上記 $V_n(n-1)/R_n$ の値が $\pm 2.3\%$ の変動の範囲内で一致するように上記分圧回路の各抵抗の値を設定したことを特徴と

2

する請求項4に記載された液晶表示装置。

【請求項6】 上記全ての R_n に対して上記 $V_n(n-1)/R_n$ の値が $\pm 1.5\%$ の変動の範囲内で一致するように上記分圧回路の各抵抗の値を設定したことを特徴とする請求項4に記載された液晶表示装置。

【請求項7】 上記全ての R_n に対して上記 $V_n(n-1)/R_n$ の値が完全に一致するように上記分圧回路の各抵抗の値を設定したことを特徴とする請求項4に記載された液晶表示装置。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータ、ワークステーション等に用いる液晶表示装置に関し、特に、多階調の表示が可能な液晶表示装置の階調電圧生成回路に関する。

【0002】

【従来の技術】多色表示、例えば、64階調の多色表示が可能なTFT液晶表示装置の一例が下記文献Iに記載されている。

20 【0003】I 『Low-Power 6-bit Column Driver for AMLCDs』(1994年6月発行 SID 94 DIJEST P. 351-354)。

【0004】図8は、前記文献Iに記載されているTFT液晶表示装置の概略構成を示すブロック図である。

【0005】図8において、液晶表示パネル(TFT-LCD)は、 $800 \times 3 \times 600$ 画素 P_{ix} から構成される。

30 【0006】TFT液晶表示パネルの画素 P_{ix} の等価回路を図9に示す。

【0007】ITOは画素電極、COMは対向電極で、ITOとCOMと液晶層で液晶表示素子(図示せず)が形成される。

【0008】液晶表示素子は等価回路で示すと静電容量CLCで表せる。

40 【0009】液晶表示素子は図14に示すようにITOとCOMの間に印加する電圧により光の透過率が変化するので、画素電極ITOに、COMに印加する電圧を基準として複数の表示階調毎に電圧が決められた、階調電圧を印加することにより多階調表示ができる。

【0010】 D_n はドレイン線あるいは映像信号線であり、階調電圧はドレインドライバ11から複数のドレイン線 D_n に印加される。

【0011】TFTは薄膜トランジスタであり、ITOに電氣的に接続されるソースS、 D_n に電氣的に接続されるドレインD及びゲートGを有し、ゲートGに加える電圧により D_n 、ITO間の電氣的導通、非導通を制御する。

50 【0012】 G_n はゲート線あるいは走査線であり、 G_n は対応する画素 P_{ix} のTFTのゲートGに接続され

ているので、Gnにより階調電圧を印加する画素電極ITOを選択することが出来る。

【0013】Caddは保持容量、Cnは容量線で、CaddはITOに印加された階調電圧を、次に階調電圧がITOに印加される迄の間、保持することが出来る。

【0014】図10は図9に示す画素に印加される電圧波形のタイミングを示す図である。

【0015】同図で(1)はゲート線Gnの波形、(2)は対向電極COM及び容量線Cnの波形、(3)はドレイン線Dnの波形を示す。画素電極ITOに階調電圧を印加する時はゲート電圧波形(1)が Gate On レベルとなりTFTのソース、ドレイン間が導通する。ドレイン電圧波形(3)と対向電極電圧波形(2)は位相が反転した形になっており、ドレイン電圧波形(3)と対向電極電圧波形(2)の差の電圧が液晶表示素子CLCに印加される。液晶表示素子CLCに印加される電圧は、正極性で印加されるタイミングと負極性で印加されるタイミングが交互に現れるように、ゲート電圧波形(1)、対向電極電圧波形(2)、ドレイン電圧波形(3)を設定しているため、液晶表示素子CLCには直流成分が印加されず、TFT液晶表示パネルの寿命の低下、画像の焼き付き及び残像の問題が無い。

【0016】TFTを用いた液晶表示装置の特徴は、TFTというスイッチング素子を介して画素電極ITOに階調電圧を印加する為各画素Pix間のクロストークが無く、単純マトリックス形液晶表示装置のようにクロストークを防止する為の特殊な駆動方法を用いる必要がなく、多階調表示が可能にある。

【0017】また図8に示すように、液晶表示パネル(TFT-LCD)の一方の側にドレインドライバ11が配置され、このドレインドライバ11を薄膜トランジスタ(TFT)のドレイン線に接続し、薄膜トランジスタ(TFT)に液晶を駆動するための電圧を供給する。

【0018】また、液晶表示パネル(TFT-LCD)の側面にはゲートドライバ12が配置され、薄膜トランジスタ(TFT)のゲート線に接続し、1水平動作時間(1H)薄膜トランジスタ(TFT)のゲートGに Gate On 電圧を供給する。

【0019】表示制御装置10は、インターフェースコネクタから、本体コンピュータからの表示用データと表示制御信号を受け取り、これを基にドレインドライバ11、ゲートドライバ12を駆動する。

【0020】ここで、本体コンピュータからの表示用データは、各色毎6ビットの18ビットで構成されている。

【0021】ドレインドライバ11は、図11に示すように、1個の階調電圧生成回路を有し、前記階調電圧生成回路は、内部電源回路13から入力される9値の階調基準電圧(V0-V8)から64階調分の階調電圧を生成する。

【0022】また、ドレインドライバ11は、シフトレジスタにより表示データラッチ用クロック信号CLK1に同期して各色毎6ビットの表示用データを入力レジスタ内に出力本数分だけ取り込む。次に、出力タイミング制御用クロック信号CLK2に応じて、入力レジスタ内の表示用データをストレージレジスタに取り込み、出力回路は前記階調電圧生成回路で生成された64階調分の階調電圧の中から、表示用データに対応する階調電圧を選択して各ドレイン線Dnに出力する。

【0023】ドレインドライバ11の極性端子はドレイン線Dnに出力する電圧の極性を制御する為に設けられ、キャリア入力、キャリア出力端子は液晶表示装置内の複数のドレインドライバ11間の連携を取る為に設けられている。

【0024】図12は、前記図11に示すドレインドライバ11の階調電圧生成回路を示す図である。

【0025】図12の(a)に示すように、前記図11に示すドレインドライバ11の階調電圧生成回路は、内部電源回路13から入力された9値の階調基準電圧(V0-V8)の各階調基準電圧間を、直列抵抗分圧回路1により8等分してV00-V63の64階調分の階調電圧を生成するものである。

【0026】

【発明が解決しようとする課題】図14に示すように、一般に液晶層に印加する電圧と透過率との関係は、リニアではなく、透過率の高いところ及び低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となると透過率の変化が大きい。

【0027】このため、64階調の多色表示が可能な液晶表示装置において、64階調をリニアに表示するためには、ドレインドライバ11の階調電圧生成回路に与える階調基準電圧値は、等間隔ではなく、中間調付近(V2-V6)で差が小さく、それ以外(V0-V2, V6-V8)で大きくしなければならない。

【0028】ところが前記文献では、前記図12に示すドレインドライバ11の階調電圧生成回路の直列抵抗分圧回路1の抵抗値をどのように設定するかは詳しく言及していない。

【0029】そのため、図12の(a)に示す階調電圧生成回路の直列抵抗分圧回路1に、図14に示す等間隔ではない階調基準電圧V0-V8を印加すると、階調基準電圧を供給する線に直流(DC)電流が流れ、消費電力が増大する問題があった。

【0030】例えば図12の(b)は同図(a)を簡略化したものであるが、階調電圧生成回路において直列抵抗分圧回路1の各階調基準電圧印加端子間の抵抗値はそれぞれ100Ωで一定の値にすると、階調基準電圧V0-V1間、V1-V2間、V6-V7間、V7-V8間の階調基準電圧差が、階調基準電圧V2-V3間、V3-V4間、V4-V5間、V5-V6間の階調基準電圧

差の2倍となる。

【0031】したがって、直列抵抗分圧回路1の階調基準電圧V6、V7の階調基準電圧を印加する端子間、および、階調基準電圧V1、V2の階調基準電圧を印加する端子間を流れる電流は、10mA ($1.0V/100\Omega=10mA$)であるのに対して、直列抵抗分圧回路1の階調基準電圧V5、V6、および、階調基準電圧V2、V3の階調基準電圧を印加する端子間を流れる電流は、5mA ($0.5V/100\Omega=5mA$)となる。

【0032】そのため、電流値が不連続となる直列抵抗分圧回路1の階調基準電圧V6を印加する端子、および、階調基準電圧V2を印加する端子から電流が流入・流出し、階調電圧生成回路に流れる電流が多くなる為、ドレインドライバ11の消費電力が増大するという問題があった。

【0033】また階調基準電圧V1～V7を供給する線に電流が流入・流出すると電源回路13の内部抵抗による消費電力の増加も問題であった。

【0034】図13は電源回路13の階調基準電圧V0～V8の生成部を示す図である。

【0035】同図(a)は階調基準電圧V0～V8の生成部を抵抗分圧回路で生成する例を示す。階調基準電圧V0～V8は抵抗RR0～RR9の値の比により設定され、抵抗RR0～RR9の分圧回路の出力は、バッファ回路OP0～OP9により、十分な電力に増幅されてドレインドライバ11の直列抵抗分圧回路1に出力される。

【0036】同図(b)は同図(a)の等価回路を示す図である。電源回路13は直流電圧源v0～v8と内部抵抗r0～r8で表すことが出来る。直流電圧源v0～v8は抵抗RR0～RR9の分圧回路の出力により決まり、内部抵抗r0～r8はバッファ回路OP0～OP9の出力インピーダンスにより決まると考えられる。

【0037】仮に内部抵抗r0～r8を20Ωにしたとすると、階調基準電圧V2の供給線に5mAの電流が流れると0.5mWの電力が余分に電源回路13で消費されることになる。また内部抵抗r2により0.2Vの電圧降下を生じるので、ドレインドライバ11に出力する階調基準電圧V2も0.2V降下し、目的とする階調電圧を液晶表示パネルに出力出来ず、正しい表示階調が得られない問題も生じる。

【0038】またドレインドライバ11では、構成を簡単にし集積回路のチップサイズを小さくする目的で、図11に示すように、階調電圧生成回路の出力をドレインドライバ11が駆動する全てのドレイン線で共用する為、1つのドレインドライバ11内で同一階調電圧を選択するドレイン信号線の本数が増えると、階調基準電圧生成回路1の抵抗R1～R8に流れる電流が大きくなり、各階調電圧がドレインドライバ11毎に変動し、特に、印加電圧に対する液晶層の透過率の変化が大きい中

間調表示(V2～V6)の表示画面上では、ドレインドライバ11が異なるドレイン線Dn、Dn+1に対応する画素Pixの境界で輝度差が発生し表示品質が低下するという問題点があった。

【0039】すなわち図12に示す例で見ると、階調基準電圧差V3(2)、V4(3)、V5(4)、V6(5)はV1(0)、V2(1)、V7(6)、V8(7)よりも低い為、R3～R6の値はR1、R2、R7、R8の値と同じなので、V2～V6間の抵抗分圧回路から出力される階調電圧(V15～V47)の出力線には十分な電流を流すことが困難になる。

【0040】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置の階調電圧生成回路において、低消費電力と高画質表示を可能とする液晶表示装置を提供することにある。

【0041】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

20 【0042】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0043】(1)複数の階調基準電圧の各階調基準電圧間を直列抵抗分圧回路により分圧して液晶層に印加する多階調の階調電圧を生成する液晶表示装置であって、前記直列抵抗分圧回路の各階調基準電圧を印加する端子間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値としたことを特徴とする。

30 【0044】(2)前記(1)の手段において、前記直列抵抗分圧回路の各階調基準電圧を印加する端子間の抵抗値を、各階調基準電圧間の電位差にほぼ比例した抵抗値に変更するための切替手段を具備することを特徴とする。

40 【0045】(3)前記(1)の手段において、前記直列抵抗分圧回路の各階調基準電圧を印加する端子間に複数の直列抵抗回路を設け、前記複数の直列抵抗回路の中から、各階調基準電圧間の電位差にほぼ比例した抵抗値となる直列抵抗回路を選択するための選択手段を具備することを特徴とする。

50 【0046】前記各手段によれば、液晶層に印加する多階調の階調電圧を生成する液晶表示装置の階調電圧生成回路において、直列抵抗分圧回路の各階調基準電圧印加端子間の抵抗値が、各階調基準電圧間の電圧差に比例しており、直列抵抗分圧回路の階調基準電圧印加端子のうちで、最大の階調基準電圧と最小の階調基準電圧電圧とが印加される階調基準電圧印加端子以外からの電流の流入、流出はほとんど0となり、ドレインドライバ11及び電源回路13の消費電力を低減することが可能となり、液晶表示装置全体の消費電力を低減することが出来

る。

【0047】また、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分では、階調基準電圧印加端子間の抵抗値を小さくするため、同一階調電圧を出力するドレイン信号線の本数が多くなっても、階調電圧生成回路の階調電圧の電圧変動が小さくなり、ドレインドライバ11が異なる、画素Pixel間の境界で輝度差が発生するのを抑えることが可能となり、液晶表示装置の表示特性が向上する。

【0048】

【発明の実施の形態】以下、本発明を適用したTFT液晶表示装置の実施形態について図面を参照して詳細に説明する。

【0049】なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0050】以下、本発明が適用されるTFT液晶表示装置構成は、前記図8に示すTFT液晶表示装置と同じであるので説明は省略する。

【0051】〔実施形態1〕図1は、本発明の一実施形態（実施形態1）である液晶表示装置のドレインドライバ11の階調電圧生成回路を示す図である。

【0052】本実施例1の階調電圧生成回路は、前記図12に示す階調電圧生成回路と同じく、内部電源回路13から入力された9値の階調基準電圧（V0～V8）の各階調基準電圧間を、直列抵抗分圧回路1により8等分して64階調分の階調電圧を生成するものである。

【0053】ここで、9値の階調基準電圧（V0～V8）の階調基準電圧Vnと階調基準電圧Vn-1（n=1～8）の電圧差をVn（n-1）と表記し、直列抵抗分圧回路1の階調基準電圧Vnと階調基準電圧Vn-1（n=1～8）の階調基準印加端子間の合成抵抗値をRnと表記する。

【0054】本実施形態1の階調電圧生成回路では、R8：R7：R6：R5：R4：R3：R2：R1=V8（7）：V7（6）：V6（5）：V5（4）：V4（3）：V3（2）：V2（1）：V1（0）である。

【0055】したがって、直列抵抗分圧回路1を流れる電流は、一定の電流値（Vn（n-1）/Rn=一定の電流値）となり、本実施形態1の階調電圧生成回路では、最大の階調基準電圧と最小の階調基準電圧電圧とが印加される直列抵抗分圧回路1の階調基準電圧（V0およびV8）印加端子以外からの電流の流入、流出はほとんど0となり、ドレインドライバの消費電力を低減することが可能となり、それにより、液晶表示装置の消費電力を低減することが可能となる。

【0056】図2は図1に示す直列抵抗分圧回路1に具体的な抵抗値を当てはめて本発明を実施した例を示す図である。

【0057】図2に記載の各抵抗の抵抗値は、図3に示

す、3Vで透過率がほぼ0になる液晶を用いた場合の電圧透過率曲線に階調基準電圧V0～V8を合わせた例である。図3に記載のV0'～V8'は図2の基準電圧V0～V8に対応している。

【0058】図2に示す具体的な実施例では各階調基準電圧端子間の抵抗R1～R8に流れる電流は何れも1.3mAとなり、V0、V8以外の階調基準電圧を印加する端子には電流が流れず、直列抵抗分圧回路1で消費する電力は、1.3mAの電流に起因するもののみで、最も低くなる。

【0059】また図2に示す実施例においては、V62、V63の階調電圧を高く設定して黒の表示をより黒くしてコントラストを高める為に、最高電圧V8の端子に近い側の抵抗R8の内訳はR88、R87の値がその他の抵抗R81～R86の抵抗値よりも高く設定されている。

【0060】同様に図2に示す実施例においては、V00、V01の階調電圧を低く設定して白の表示をより白くしてコントラストを高める為に、最低電圧V0の端子に近い側の抵抗R1の内訳はR11、R12の値がその他の抵抗R13～R17の抵抗値よりも高く設定されている。

【0061】なお図3に記載のV0'～V8'は、実際の液晶層（図示せず）に加わる電圧で示している為、図2の基準電圧V0～V8に比べ変動分（0.8V）だけシフトしている。

【0062】実際の液晶層に加わる電圧が図2の基準電圧V0～V8に比べシフトする理由としてはゲート電圧波形の画素電極ITOへの飛込みが考えられる。実際の画素には図9に示すようにゲートG、画素電極ITO間には寄生容量Cgsがあり、図10に示す駆動方法でゲート電圧波形がGate OnからGate Offに変化すると、その変化に伴うパルスがCgsを介して画素電極ITOに印加されるため液晶層に加わる電圧のシフトが起こる。

【0063】従って電源回路13の階調基準電圧V0～V8を設定する場合は予め液晶層に加わる電圧のシフトを考慮に入れる必要がある。

【0064】なお、図2、図3に示す実施例は液晶に印加する電圧が負極性の場合を示したものであり、電圧のシフト分を階調基準電圧に加える場合を示している。しかし液晶に印加する電圧が正極性の場合は電圧のシフト分を階調基準電圧から引いた値が実際の液晶層に印加される電圧になる為、図13に示す階調基準電圧生成回路は正極性と負極性の2種類必要になる。

【0065】同様にドレインドライバ11内の階調電圧生成回路も正極性と負極性の2種類の直列抵抗分圧回路1を有し、極性信号に応じて切替えている。

【0066】なお、本実施形態1の階調基準電圧生成回路では、直列抵抗分圧回路1の各階調基準電圧印加端子

間の抵抗値を、各階調基準電圧間の電位差に完全に比例した抵抗値としているが、完全に比例していなくても、同様な効果を有する。

【0067】すなわち $V_n(n-1)/R_n$ の値が完全に一致していなくとも、その値のばらつきが特定の範囲内にあれば、特定の範囲外のものに比べ、余分な消費電力の発生を抑えることが出来る。

【0068】直列抵抗分圧回路1は半導体集積回路の内部に作られる。一般に半導体集積回路内に作られる抵抗にはばらつきがあり、抵抗に半導体の拡散抵抗を用いた場合、抵抗値は±20%のばらつきを生じる。なお出来上がった半導体集積回路を選別して抵抗値を±10%のばらつきにすることも可能であるが、半導体集積回路の歩留が下がるのでドレインドライバ11のコストが高くなる。従って図1に示した直列抵抗分圧回路1を用いる液晶表示装置で、 $V_n(n-1)/R_n$ の値を完全に一致させるのは理想的であるが、実用的ではない。

【0069】図2に示す実施例で、最も階調表示に影響を与える、抵抗R3が±20%ばらつくことを考えると、 $V_n(n-1)/R_n$ の値即ちR3に流れる電流は±0.3mA(±23%)変動する。R4もR3と同じ抵抗値なのでR4に流れる電流も±0.3mA変動する。R3とR4に流れる電流値の差が最も大きくなった場合を考えると、端子V3には±0.6mAの電流が流れ直列抵抗分圧回路1及び電源回路13の消費電力が増加する。

【0070】しかし直列抵抗分圧回路1の抵抗値に±20%のばらつきがあっても、本実施形態を適用すればV1～V7に流れる電流を±0.6mAの範囲内に抑えることが出来るので、ドレインドライバ11及び電源回路13の消費電力を低く抑えることが出来、ドレインドライバ11のコストが高くない実用的である。

【0071】さらに図2に示す実施例で直列抵抗分圧回路1のばらつきを±10%にすると、R3、R4に流れる電流は±0.2mA(±15%)の変動に抑えることが出来る。従ってR3とR4に流れる電流値の差が最大の場合を考えると、端子V3には±0.4mAの電流が流れ直列抵抗分圧回路1及び電源回路13の消費電力の増加をさらに小さくすることが出来、最も好ましい。

【0072】なお本実施形態では電源回路のV1～V7の出力端子に流れる電流は低く抑えることが出来る為、図13に示す構成の電源回路13を用いた場合には、V1～V7を出力するバッファ回路OP1～OP7はV0、V8を出力するバッファ回路OP0～OP8に比べ出力インピーダンスが高くても良く、安価なものが使用出来、電源回路13のコストを下げる事が出来る。

【0073】さらに本実施形態においては、バッファ回路OP1～OP7を除いて、V1～V7の出力は直接抵抗分圧回路から得ることも可能であり、電源回路13のコストを更に下げることが出来る。

【0074】また本実施形態によれば、図1に示すように中間調を表示する階調基準電圧差V4(3)、V5(4)は、電圧差が小さいため、直列抵抗分圧回路1の階調基準電圧印加端子間の抵抗値R5、R4も小さくなる。

【0075】すなわち図2に示す具体的実施例で見ると、階調基準電圧差V3(2)、V4(3)、V5(4)、V6(5)はV1(0)、V2(1)、V7(6)、V8(7)よりも低いが、R3～R6の値はR1、R2、R7、R8の値よりも充分低いので、V2～V6間の抵抗分圧回路から出力される階調電圧(V15～V47)の出力線には充分な電流を流すことが可能になる。

【0076】これにより、同一階調電圧を出力するドレイン線Dnの本数が多くなっても、階調電圧生成回路の出力する階調電圧の電圧変動が小さくなり、ドレインドライバ11が異なる、画素間の輝度に差が発生するのを抑えることが可能となる。

【0077】したがって、本実施形態1の階調電圧生成回路を使用することにより、高画質で低消費電力の液晶表示装置を構成することが可能となる。

【0078】〔実施形態2〕図4、図5は、本発明の他の実施形態(実施形態2)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【0079】一般に図14に示す電圧透過率特性は液晶層の材料によって異なる。

【0080】従って電源回路13の階調基準電圧は液晶層の電圧透過率特性に合わせて設定され、ドレインドライバ11内の階調電圧生成回路も電圧透過率特性に合わせて設定しなければならないので、ドレインドライバ11の汎用性がなく、各液晶表示パネル毎に専用のドレインドライバ11を用いなければならない、液晶表示装置のコストが高くなる問題がある。

【0081】本実施形態2は、前記実施形態1をより具体的に示した実施形態であり、液晶表示パネルに合わせて容易にドレインドライバ11の階調電圧生成回路の階調電圧の設定値を変更可能にした実施形態である。

【0082】本実施形態2の階調基準電圧生成回路では、半導体製造段階において図4に示すように、各階調基準電圧(V1～V7)の階調基準電圧印加端子を、直列抵抗分圧回路1のいくつかの点(A、B、C)へヒューズ32を介して接続する。

【0083】この場合、A、B、Cの各点は、実際に使用する可能性がある分圧値となるように選択する。

【0084】本実施形態2の階調基準電圧生成回路を、実際に使用する時に、各階調基準電圧(V0～V8)として所定の階調基準電圧を印加すると、各階調基準電圧の電圧差に比例した抵抗値のところに接続されたヒューズ32には電流が流れず、ヒューズ32は溶断されない。

11

【0085】しかしながら、それ以外のヒューズ32には電流が流れ、ヒューズ32が溶断され、これにより、直列抵抗分圧回路1の各階調基準電圧印加端子間の抵抗値は、各階調基準電圧の電圧差に比例した抵抗値となる。

【0086】また、図5に示すように、直列抵抗分圧回路1の出力スイッチ3が接続されている側にも、同様に各階調電圧出力端子4をヒューズ2を介して、直列抵抗分圧回路1のいくつかの点(D、E、F)へ接続する。

【0087】表示用データに基づき、所定階調、例えば、階調V62を選択した後、階調基準電圧V8、V7の階調基準電圧印加端子と階調電圧出力端子4に所定の電圧を印加する。

【0088】このとき、階調電圧出力端子4には溶断したくないヒューズ2が接続されている点の抵抗値、例えば、Eの点に対応した電圧($0.8 \times V8(7)$)を印加する。

【0089】このように、本実施形態2の階調電圧生成回路では、出力スイッチ3が接続されている側のヒューズ2を溶断するときには、各階調基準電圧の電圧差のみ実使用時に対応した値とし、絶対値は実使用時より高い電圧とする。

【0090】これにより、本実施形態2の階調電圧生成回路では、実使用時にヒューズ2が溶断されない電流を流すことができる。

【0091】以上説明したように、本実施形態2では、ドレインドライバ11に汎用性を持たせることが出来、前記実施形態1と同様、高画質で低消費電力である液晶表示装置を様々な液晶表示パネルの特性に対応して、容易に実現することが可能となる。

【0092】〔実施形態3〕図6は、本発明の他の実施形態(実施形態3)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【0093】本実施形態3も、前記実施形態1をより具体的にした実施形態であり、液晶表示パネルに合わせて容易にドレインドライバ11の階調電圧生成回路の階調電圧の設定値を変更可能にした実施形態である。

【0094】本実施形態3の階調電圧生成回路は、直列抵抗分圧回路1の各階調基準電圧(V0-V8)の階調基準電圧印加端子間に、何種類かの複数の直列抵抗回路(101, 102, 103)を設けておき、実使用時に、各階調基準電圧の電圧差の比に近い抵抗比となる直列抵抗回路(101, 102, 103)を、切替え信号により選択する。

【0095】また、同じく、切替え信号により切替えスイッチ5を切り替えて、各直列抵抗回路(101, 102, 103)からの階調電圧を各階調電圧出力端子4に出力するようにしたものである。

【0096】このとき切替え信号は、表示制御装置10内のレジスタ、EPROM、あるいはコンピュータと接

12

続するインタフェースコネクタの専用の入力端子等から各ドレインドライバ11に供給されるようにしておく。

【0097】これにより、実使用時の各階調基準電圧の電圧差の比に近い抵抗比を有する直列抵抗分圧回路を容易に実現でき、本実施形態3の階調電圧生成回路でも、ドレインドライバ11に汎用性を持たせることが出来、前記実施形態1と同様、高画質で低消費電力である液晶表示装置を様々な液晶表示パネルの特性に対応して、容易に実現することが可能となる。

10 【0098】〔実施形態4〕図7は、本発明の他の実施形態(実施形態4)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【0099】本実施形態4も、前記実施形態1をより具体的にした実施形態であり、液晶表示パネルに合わせて容易にドレインドライバ11の階調電圧生成回路の階調電圧の設定値を変更可能にした実施形態である。

20 【0100】本実施形態4の階調電圧生成回路でも、前記実施形態3と同様、直列抵抗分圧回路1の各階調基準電圧(V0-V8)の階調基準電圧印加端子間に、何種類かの複数の直列抵抗回路(101, 102, 103)を設けておき、各階調基準電圧の電圧差の比に近い抵抗比となる直列抵抗回路(101, 102, 103)を、半導体製造工程中の金属配線層等のみの変更により選択する。

【0101】また、同じく、半導体製造工程中の金属配線層等のみの変更により切替え手段6を切り替えて、各直列抵抗回路(101, 102, 103)からの階調電圧を各階調電圧出力端子4に出力するようにしたものである。

30 【0102】これにより、実使用時の各階調基準電圧の電圧差の比に近い抵抗比を有する直列抵抗分圧回路を容易に実現でき、本実施形態4の階調電圧生成回路でも、ドレインドライバ11に汎用性を持たせることが出来、前記実施形態1と同様、高画質で低消費電力である液晶表示装置を様々な液晶表示パネルの特性に対応して、容易に実現することが可能となる。

【0103】なお、前記各実施形態では、液晶表示装置に本発明を適用した場合について説明したが、これに限定されず、本発明は、液晶表示モジュール等のすべての液晶表示装置に適用できることはいうまでもない。

【0104】以上、本発明を実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0105】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0106】(1)本発明によれば、液晶層に印加する多階調の階調電圧を生成する液晶表示装置の階調電圧生

成回路において、直列抵抗分圧回路1の各階調基準電圧印加端子間の抵抗値が、各階調基準電圧間の電圧差に比例しており、直列抵抗分圧回路の階調基準電圧印加端子のうちで、最大の階調基準電圧と最小の階調基準電圧電圧とが印加される階調基準電圧印加端子以外からの電流の流入、流出はほとんど0となり、ドレインドライバの消費電力を低減することが可能となり、これにより、液晶表示装置の消費電力を低減することが可能となる。

【0107】(2)本発明によれば、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分では、階調基準電圧印加端子間の抵抗値が小さいため、同一階調電圧を出力するドレイン信号線の本数が多くなっても、階調基準電圧生成回路の階調電圧の電圧変動が小さくなり、異なるドレインドライバ11間で表示画面の輝度差の発生を抑えることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

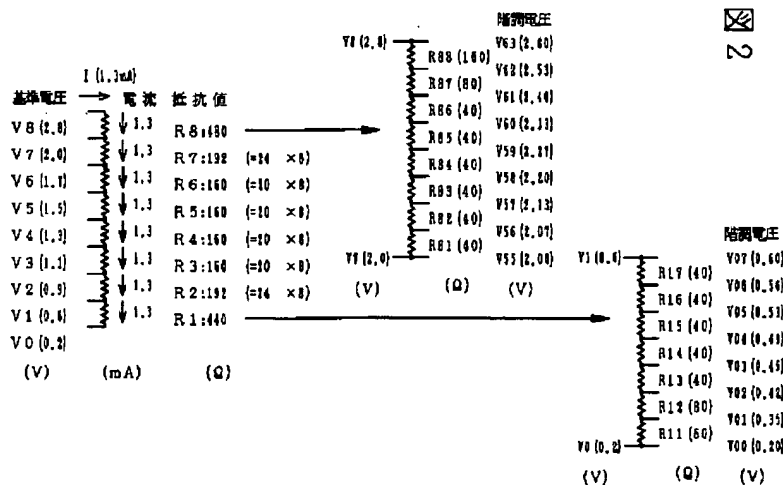
【図2】本発明の一実施形態(実施形態1)である液晶表示装置のドレインドライバの階調電圧生成回路に具体的な抵抗値及び階調基準電圧値を当てはめた図である。

【図3】図2に示した階調基準電圧と液晶表示素子の透過率との関係を示す図である。

【図4】本発明の他の実施形態(実施形態2)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【図5】本発明の他の実施形態(実施形態2)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【図2】



す図である。

【図6】本発明の他の実施形態(実施形態3)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【図7】本発明の他の実施形態(実施形態4)である液晶表示装置のドレインドライバの階調電圧生成回路を示す図である。

【図8】TFT液晶表示装置の概略構成を示すブロック図である。

【図9】TFT液晶表示装置の画素の等価回路を示す図である。

【図10】TFT液晶表示装置の画素に印加する電圧のタイミング関係を示す図である。

【図11】ドレインドライバの概略構成を示すブロック図である。

【図12】従来のドレインドライバ11の階調電圧生成回路を示す図である。

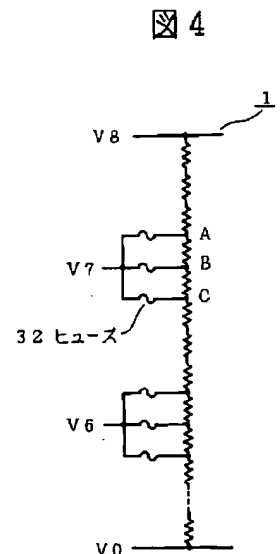
【図13】電源回路の階調基準電圧生成部の回路図である。

【図14】図11に示した、階調基準電圧と液晶表示素子の透過率との関係を示す図である。

【符号の説明】

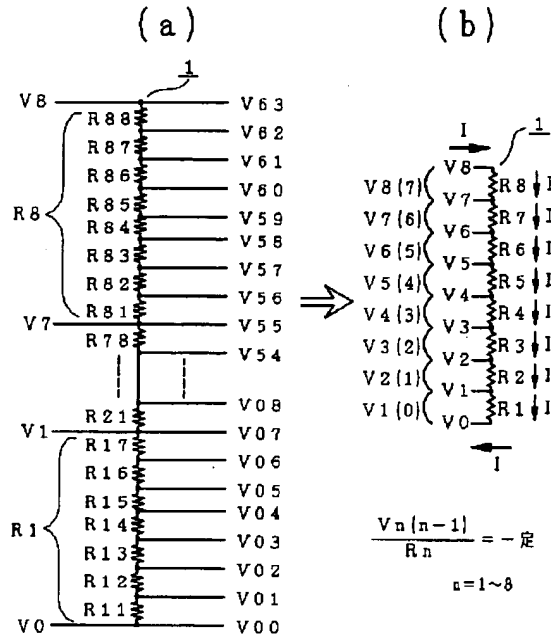
TFT-LCD...TFT液晶表示パネル、1...直列抵抗分圧回路、2、32...ヒューズ、3...スイッチ、4...階調電圧出力端子、5...切替えスイッチ、6、7...切替え手段、10...表示制御装置、11...ドレインドライバ、12...ゲートドライバ、13...電源回路、101、102、103...直列抵抗回路。

【図4】



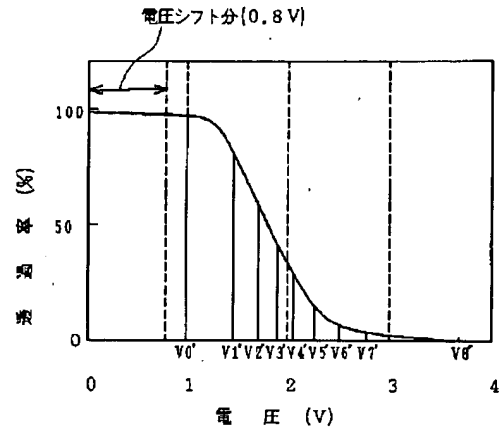
【図1】

図 1



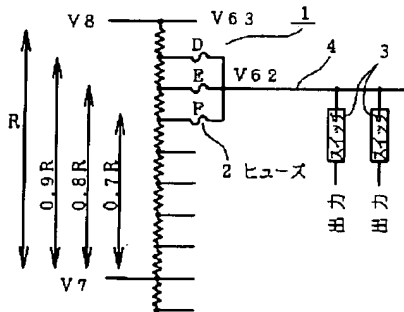
【図3】

図 3



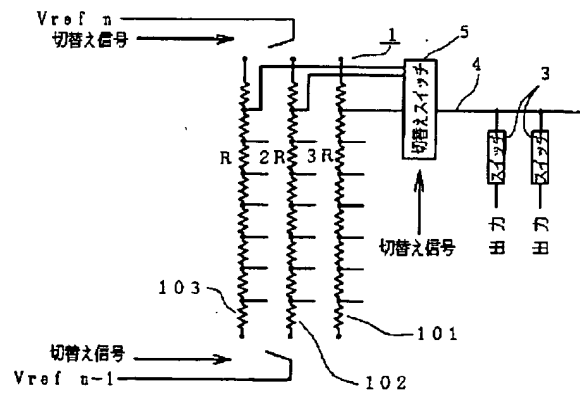
【図5】

図 5



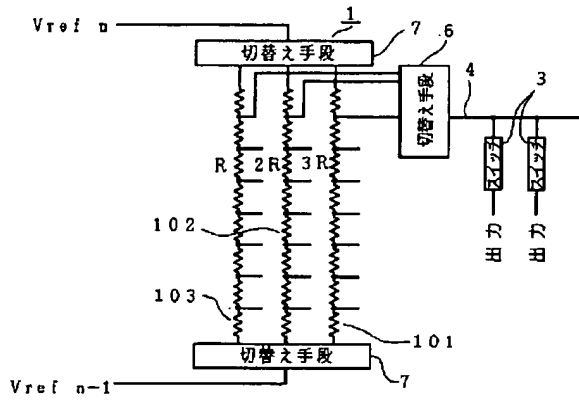
【図6】

図 6



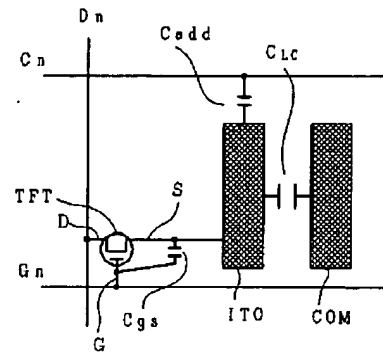
【図7】

図 7



【図9】

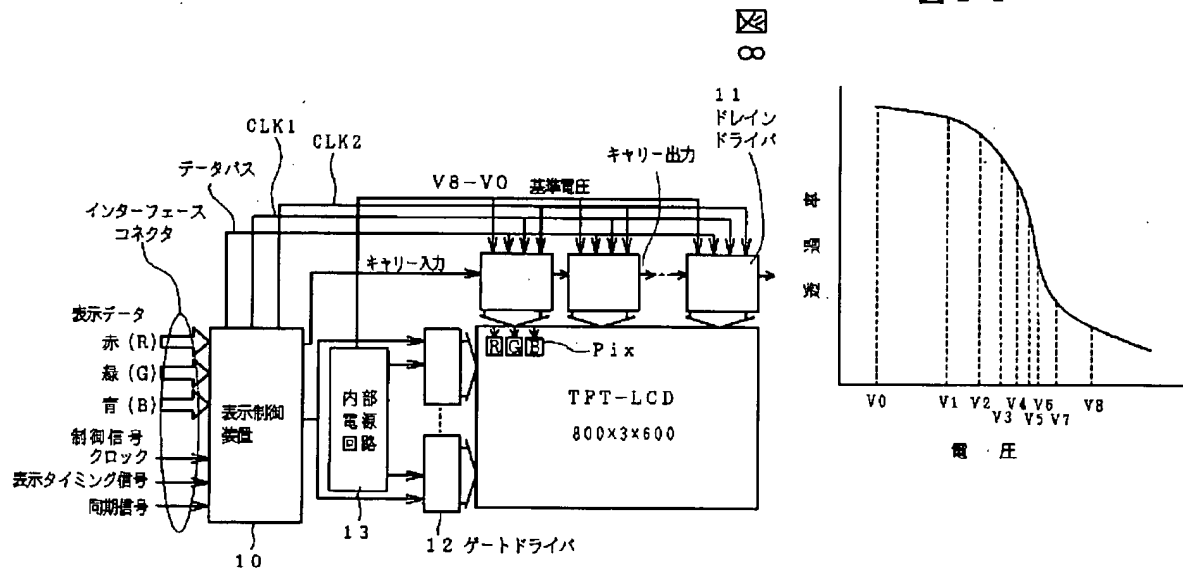
図 9



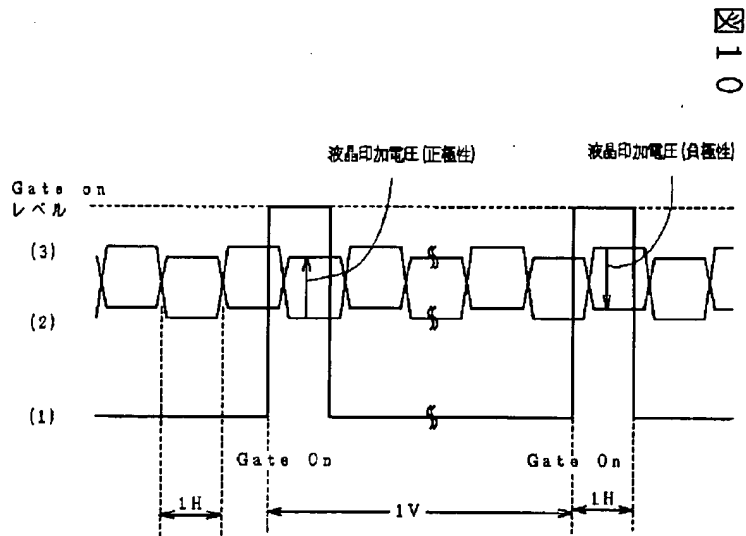
【図8】

【図14】

図 14

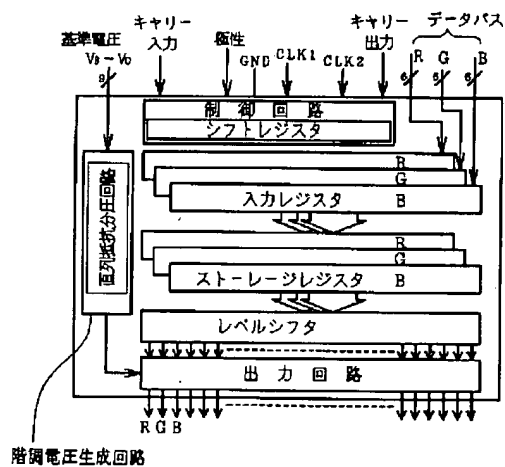


【図10】



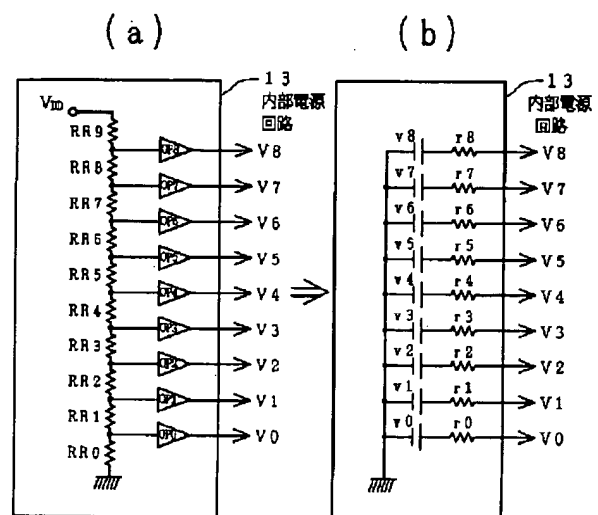
【図11】

図 11

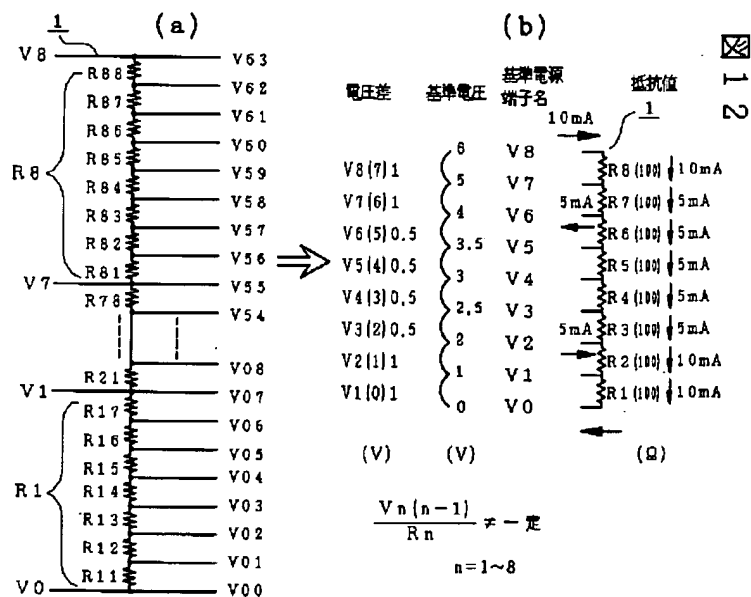


【図13】

図 13



【図12】



フロントページの続き

(72)発明者 岩▲崎▼ 伸一

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内